

DATA OUTPUT DEVICE

Publication number: JP6284272

Publication date: 1994-10-07

Inventor: MURAOKA NOBUYOSHI

Applicant: NIPPON ELECTRIC CO

Classification:

- international: B41J2/52; B41J5/30; G03G15/00; G03G15/36;
G03G21/00; G06T3/00; H04N1/387; B41J2/52;
B41J5/30; G03G15/00; G03G15/36; G03G21/00;
G06T3/00; H04N1/387; (IPC1-7): H04N1/387; B41J2/52;
B41J5/30; G03G15/00; G06F15/66

- European:

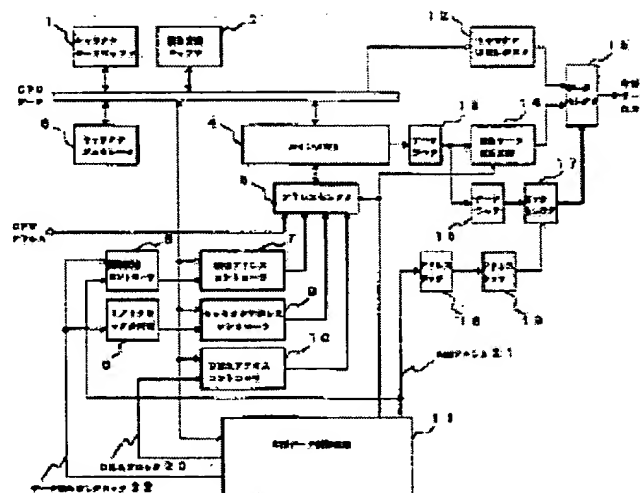
Application number: JP19930069541 19930329

Priority number(s): JP19930069541 19930329

Report a data error here

Abstract of JP6284272

PURPOSE: To provide an output of data comprising mixture of picture data being intermediate tone data and character data being binary data without synthesizing them in a memory. **CONSTITUTION:** Picture data and character data read by a data latch 13 are latched by a main memory 4 sequentially. In order to correct the picture data at a picture data correction circuit 14, a time delay with respect to the character data is absorbed by a data latch 16. Furthermore, address latches 18, 19 absorb a data correction delay and a predetermined bit is given to a print picture address 21 as a select control signal of a bit selector 17 and a valid bit of the character data is selected. When the selected character data bit is 1 or 0, a data selector 15 selects picture energy data in a character density register 12 or the picture data correction circuit 14.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-284272

(43)公開日 平成6年(1994)10月7日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 1/387		4226-5C		
B 4 1 J 2/52				
5/30	Z	8703-2C		
G 0 3 G 15/00	3 0 2	8403-2C	B 4 1 J 3/ 00	A
審査請求 有 請求項の数 3 O L (全 9 頁) 最終頁に続く				

(21)出願番号 特願平5-69541

(22)出願日 平成5年(1993)3月29日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 村岡 信義

東京都港区芝五丁目7番1号 日本電気株式会社内

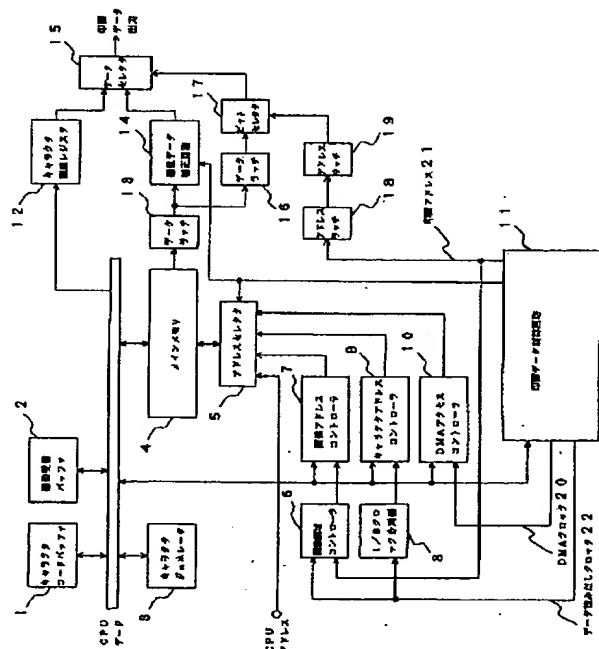
(74)代理人 弁理士 後藤 洋介 (外2名)

(54)【発明の名称】 データ出力装置

(57) 【要約】

【目的】 中間調データである画像データと2値データであるキャラクタデータとが混在したデータをメモリ上で合成することなしに出力する。

【構成】 データラッチ 13 に読みだされた画像データとキャラクタデータが順にメインメモリ 4 にラッチされる。画像データは画像データ補正回路 14 において各種データ補正を行うため、キャラクタデータとの時間遅れをデータラッチ 16 にて吸収する。また、アドレスラッチ 18、19 は、データ補正遅れを吸収し、ビットセレクト 17 のセレクトコントロール信号として印画アドレス 21 の所定のビットを与え、キャラクタデータの有効ビットを選択する。データセレクト 15 は選択されたキャラクタデータビットが 1 または 0 である場合に、キャラクタ濃度レジスタ 12 のまたは画像データ補正回路 14 の画像エネルギーデータを選択する。



【特許請求の範囲】

【請求項1】 外部から入力されるデータを受信し各動作を制御する中央制御手段と、入力されたデータを一旦格納する受信バッファと、受信したキャラクタコードデータをキャラクタパターンに変換するキャラクタデータ生成手段と、印画データ読み出しクロックに応じてキャラクタデータ読みだしアドレスを制御するキャラクタデータ読み出し手段と、印画データ読み出しクロックに応じて中間調データ読み出しアドレスを制御する中間調データ読み出し手段と、キャラクタデータおよび中間調データを格納するためのデータ格納手段と、読み出した中間調データを印画データに変換するためのデータ補正手段と、中間調データのデータ補正遅れを吸収するためのデータラッチ手段および印画アドレスラッチ手段と、キャラクタデータの有効ビットを選択して中間調データとキャラクタデータを排他的に選択し出力するデータ選択手段とを具備し、前記中央制御手段によりキャラクタデータと中間調データのデータ量に応じて前記データ格納手段の格納エリアを任意に設定し、キャラクタデータ読み出しアドレスと中間調データ読み出しアドレスを切り換えながら読み出すことを特徴とするデータ出力装置。

【請求項2】 前記キャラクタデータ読み出し手段が、中間調データが印画領域にある場合には印画データ読み出しクロックを分周して出力し中間調データがない場合には分周せずに出力するクロック制御手段と、前記クロック制御手段から出力されるデータ読み出しクロックに応じてキャラクタデータの読み出しアドレスを生成するキャラクタアドレス生成手段とから構成される請求項1記載のデータ出力装置。

【請求項3】 前記中間調データ読み出し手段が、印画領域の中で中間調データを印画すべき領域と中間調データがない領域を判定し中間調データ領域でのみ印画データ読み出しクロックを出力する中間調データ領域判定手段と、前記中間調データ領域判定手段から出力されるデータ読み出しクロックに応じて中間調データの読み出しアドレスを生成する中間調データアドレス生成手段とから構成される請求項1記載のデータ出力装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、データ出力装置に関し、特に2値データである文字や記号等のキャラクタデータと、中間調データである画像データ等を合成して出力するデータ出力装置に関する。

【0002】

【従来の技術】従来この種のデータ出力装置は、例えば特開平2-283169号公報に示されるように、プリンタ装置等において異なるデータ形式であるキャラクタデータと画像データを重畳するに際し、キャラクタデータをドットデータに展開し、画像データを排他的に選択することで文字と画像が混在したデータを出力すること

を目的として用いられる。

【0003】図4は従来のデータ出力装置の一例を示すブロック図である。図4に示す従来のデータ出力装置の昇華型プリンタ装置における実施例である。図4に示すように、キャラクタコードバッファ51は入力されたキャラクタコードデータを、キャラクタアドレス制御回路52によって示されるアドレスに一旦格納する。キャラクタジェネレータ53は読み出されたキャラクタコードデータを対応するビットデータに展開し、キャラクタイメージメモリ59に格納する。キャラクタアドレス制御回路55はデータ受信および印画動作に応じてキャラクタイメージメモリ59の読み出しアドレスを制御し、所望のデータを出力する。

【0004】入力された画像データは画像データバッファ57に一旦格納され、画像アドレス制御回路56は受信データの格納、読み出しアドレスの制御を行う。画像データ補正回路58は読み出した画像データを印画データに変換し画像イメージメモリ63に格納する。画像アドレス制御回路62は画像イメージメモリ63の書き込み、読み出しアドレスの制御を行う。ゲート制御60は読み出されたキャラクタデータが0の場合、つまりキャラクタデータがない場合には1となり、その反対に読み出されたキャラクタデータが1の場合、つまりキャラクタデータがある場合には0となり、データ制御ゲート61を排他的に制御選択する。データセレクト64はキャラクタデータがある時にはキャラクタデータを選択し、キャラクタデータがないときには画像データを選択する。

【0005】次に動作説明を行う。

【0006】従来技術においては、図示しない外部I/Fから入力されるデータには文字や記号等を示すキャラクタコードと、画像等の中間調データとともに各種プリンタ制御コマンドがあるので、受信したデータの解析をCPUが行いキャラクタコードデータはキャラクタコードバッファ51に格納し、画像データは画像データバッファ57に格納する。ここでキャラクタコードは例えば1Byte系文字であれば1Byteで1文字を表していて、画像データは例えば256階調データであれば8ビットで1ドットのデータが表されている。

【0007】入力された画像データは、上記のごとく8ビットで1つのデータを表すが、周知のごとく、画像データは印刷の三原色であるイエロー（以下Y）、マゼンタ（以下M）、シアン（C）をそれぞれ8ビットで入力し、各色を任意の量で重ねることでフルカラーの画像を出力するので、最終的には、1ドット印画するためには8*3ビットが必要となる。また、入力する画像データが光の三原色である赤（以下R）、緑（以下G）、青（以下B）である場合にはプリンタ内部でRGBデータからYMCデータへ変換する必要があり、さらにYMCデータとなった画像データは通常、より自然な印画色を

再現するためにインク特性等を考慮したデータ補正を行う。

【0008】画像データバッファ57に格納された画像データは印画データとするためには上記各種データ補正を行う必要がある。そのために画像データ補正回路58に送られ、その結果が画像イメージメモリ63の対応するメモリ領域に格納される。このため画像イメージメモリ63は3色分、つまり印画領域の3倍のメモリ空間を必要とする。例えば、2560ドット*3288ラインの印画領域を持つ場合には、2560*3288*3*8bitのメモリ空間を必要とする。

【0009】これに対し入力されたキャラクタコードは、キャラクタコードバッファ51に格納され一項目分のデータが揃った時点でキャラクタイメージメモリ59へのデータ展開が開始される。ここで通常キャラクタイメージメモリ59は印刷する全領域をメモリ空間として持っている。例えば、2560ドット*3288ラインを印刷領域とした場合には、キャラクタデータは2値データであるため、1bitで1ドットの印画データを表すことができ、2560*3288bitのメモリ空間が必要になる。このキャラクタイメージメモリ59の対応するアドレスのデータビットに1を立てることで文字等のキャラクタデータを印刷表現する。

【0010】つまり、キャラクタコードは前記のように、例えば1byte系文字では1byteで48*24ドットの印画イメージを表現しており、キャラクタジェネレータ53は読みだしたキャラクタコードを対応するイメージデータに変換してキャラクタイメージメモリ59の対応するメモリ領域に展開する。キャラクタアドレス制御回路52およびキャラクタアドレス制御回路53はデータ制御回路54によって制御され、キャラクタデータの読みだしアドレスと書き込みアドレスを生成する。

【0011】実際の印画データは画像データとキャラクタデータが混在したデータとなり、印画結果が256階調の表現を持つためには前記のごとく1ドットが8bitのデータとなっていなければならない。そのため、キャラクタデータがあるところでは画像データは出力せずキャラクタデータを表現する印画濃度、例えば256階調中の200という濃度を与えるようにする必要がある。こうすることで、キャラクタデータがあるところでは256階調中の200という固定濃度が出力され、画像部分では画像データそのものが出力され、中間調データである画像と設定された階調のキャラクタデータが混在して出力される。

【0012】ここで、キャラクタイメージメモリ59では1ドットのデータを1ビットで表現していると、画像イメージメモリ63から出力されるデータが8bitで1ドットを表現するため、両方でメモリ構成が異なることになり、またキャラクタデータの1ドットの濃度の設

定ができなくなる。そこで、キャラクタイメージメモリ59も画像イメージメモリ63と同じメモリ構成、つまり1ドットのデータを8ビットで表現し、キャラクタジェネレータ53から出力されたデータが1であるときは対応するアドレスに例えば200という濃度、つまり16進表現でC8hを格納しておき、画像イメージメモリ63から出力された画像データとキャラクタ濃度データであるC8hをゲート制御60およびデータ制御ゲート61で排他的に選択する事で、中間調データである画像データとイメージデータであるキャラクタデータが混在したデータを印画する事ができる。

【0013】また他の実施例として、画像イメージメモリ63として常に全印画領域を持つ印画イメージメモリを備え、キャラクタイメージメモリ59にデータを展開する代わりに画像データとキャラクタイメージデータを印画前にメモリ上で合成するようなシステムもある。

【0014】

【発明が解決しようとする課題】この従来のデータ出力装置においては、異なるデータ形式であるキャラクタデータと画像データとが混在したデータを印画するために、イメージデータとなったキャラクタデータを画像データと同じデータ幅にする必要がある。つまり、たとえば画像データを256階調すなわち8bitとした場合にはキャラクタイメージメモリも同じデータ幅にする必要がある。また、このような構成とした場合には、画像データがなく文字データのみの場合には画像メモリはむだとなる。

【0015】また、他の従来例ではキャラクタイメージメモリを持たずに、画像イメージメモリ上の対応するアドレスに直接キャラクタデータを展開する方法であるが、その場合には一旦展開したキャラクタデータは画像データと分離することができなくなるとともに、データ合成のためにデータ処理時間が増大し印画時間が長くなる。さらに、画像イメージメモリとして印画領域全部を持つ必要があり、画像データが小さい場合にはコストアップとなる。

【0016】本発明の第1の課題は、中間調データである画像データと2値データであるキャラクタデータとが混在したデータをメモリ上で合成することなしに出力することができるデータ出力装置を提供することにある。

【0017】本発明の第2の課題は、印画データ読みだしクロックを画像領域によって制御する画像領域コントローラおよび画像アドレスコントローラと、画像データとキャラクタデータが混在する場合に印画データ読みだしクロックを1/8倍する1/8クロック分周器およびキャラクタアドレスコントローラを設けることで、データ形式の異なるキャラクタデータと画像データを同一のメインメモリに格納することができ、画像データの容量に応じてキャラクタデータと画像データの格納領域を変更し、少ないメモリ容量でキャラクタデータと画像デー

タが混在したデータを出力することができるデータ出力装置を提供することにある。

【0018】本発明の第3の課題は、画像データの補正遅れを吸収するデータラッチおよびアドレスラッチを設けることで、キャラクタデータを画像データと同じデータ形式とせず直接データ合成する事が可能となり、画像データのみに対して拡大処理等の補正を行うことができるデータ出力装置を提供することにある。

【0019】本発明の第4の課題は、画像データがないときにはデータ生成時間を短くでき、キャラクタデータを複数項分持つことができるので、印画時間の短縮およびホスト側の拘束時間を短くすることができるデータ出力装置を提供することにある。

【0020】

【課題を解決するための手段】本発明によれば、外部から入力されるデータを受信し各動作を制御する中央制御手段と、入力されたデータを一旦格納する受信バッファと、受信したキャラクタコードデータをキャラクタパターンに変換するキャラクタデータ生成手段と、印画データ読み出しクロックに応じてキャラクタデータ読みだしアドレスを制御するキャラクタデータ読み出し手段と、印画データ読み出しクロックに応じて中間調データ読み出しアドレスを制御する中間調データ読み出し手段と、キャラクタデータおよび中間調データを格納するためのデータ格納手段と、読み出した中間調データを印画データに変換するためのデータ補正手段と、中間調データのデータ補正遅れを吸収するためのデータラッチ手段および印画アドレスラッチ手段と、キャラクタデータの有効ビットを選択して中間調データとキャラクタデータを排他的に選択し出力するデータ選択手段とを具備し、前記中央制御手段によりキャラクタデータと中間調データのデータ量に応じて前記データ格納手段の格納エリアを任意に設定し、キャラクタデータ読み出しアドレスと中間調データ読み出しアドレスを切り換えながら読み出すことを特徴とするデータ出力装置が得られる。

【0021】

【実施例】次に、本発明について図面を参照して説明する。図1は本発明の一実施例である昇華型プリンタのブロック図である。図2は本実施例のタイミング図でRGBデータモードでの実施例である。

【0022】図1において、キャラクタコードバッファ1は受信したキャラクタコードを一項分格納するバッファメモリで、画像受信バッファ2は受信した画像データを1ライン分格納するメモリである。キャラクタジェネレータ3は受信したキャラクタコードを対応する画面イメージに展開する。メインメモリ4には印画イメージに展開されたキャラクタデータと受信した画像データが格納される。アドレスセクタ5はデータ受信および印画状態によって前記メインメモリ4に与えるアドレスを選択する。印画領域コントローラ6は画像印画領域でのみ

印画データ読みだしクロック22を出力する。画像アドレスコントローラ7は画像印画モードに応じて画像読みだしアドレスを出力する。1/8クロック分周器8は印画データ読みだしクロック22を画像がある場合には1/8倍し、キャラクタデータの場合にはそのまま出力する。

【0023】キャラクタアドレスコントローラ9は印画データ読みだしクロック22に応じてキャラクタデータの読みだしアドレスを出力する。DMAアクセスコントローラ10は画像データあるいはキャラクタデータを前記メインメモリ4にダイレクトメモリアクセス（以下DMA）転送する場合にはDMAクロック20に応じて格納アドレスを出力する。印画データ制御回路11は印画データタイミングを発生し、画像アドレスコントローラ7とキャラクタアドレスコントローラ9とDMAアクセスコントローラ10およびアドレスセクタ5の制御を行うとともにデータ補正タイミングを制御する。キャラクタ濃度レジスタ12は印画イメージに展開されたキャラクタデータの1ドットに対する濃度を外部から設定する。データラッチ13は前記メインメモリ4より読みだした画像データおよびキャラクタデータを一旦ラッチするもので、画像データがRGB形式の場合はR、G、Bおよびキャラクタデータの4Byteをラッチし、YMCデータの場合は印画する色データおよびキャラクタデータの2Byteをラッチする。

【0024】画像データ補正回路14はRGBデータからYMCデータへの変換を行うとともに、画像拡大補正および色補正等を行う。データセクタ15は印画データ出力としてキャラクタ濃度レジスタの内容がまたは画像データ補正出力の内容をセレクトして出力する。データラッチ16は前記データラッチ13にラッチされたキャラクタデータを再度ラッチし画像データの補正遅れを吸収する。ビットセクタ17は印画アドレスに21に応じて対応するキャラクタデータのビットをセレクトし、前記データセクタ15のセレクトコントロールとする。アドレスラッチ18およびアドレスラッチ19は前記印画データ制御回路11から出力される実際の印画アドレス21をラッチしておく、画像データ補正回路14で発生する時間遅れを吸収し、前記ビットセクタ17のセレクトコントロールとする。

【0025】次に図1の回路の動作について詳細に説明する。

【0026】階調を持たないキャラクタデータと中間調データである画像データが混在したデータを印画する場合には、図示しない中央制御手段は外部I/Fにおいて受信した印画データをCPUデータバスを通してキャラクタコードであればキャラクタコードバッファ1に格納し、中間調データであれば画像受信バッファ2に格納する。キャラクタコードには実際に印字データとなるキャラクタコードデータと、印画動作の制御やデータ修飾制

御のためのコントロールコードも含まれており、一項分の画像データおよびキャラクタデータの受信が終了するかまたは、キャラクタコードバッファ1がデータフルになるまでデータ受信が行われる。

【0027】図示しない外部I/Fからのデータ受信は内部と非同期で連続でないため、前記画像受信バッファ2として1ライン分のバッファを持ち、前記中央制御手段は画像データ1ライン分のデータが揃った時点で前記メインメモリ4に転送する。例えば印画領域を2560ドット*3288ラインとし、画像データを256階調、つまり1ドットを8bitとした場合には、前記画像受信バッファ2は2560Byteのメモリ容量を必要とし、この2560Byteの空間に画像データを一旦格納し1ライン分のデータをまとめて前記メインメモリ4に転送することでデータ受信の効率を上げる。一項分のデータ受信を終了した時点では画像データは前記メインメモリ4に格納されているが、キャラクタデータはキャラクタコードの形態でキャラクタコードバッファ1に格納されているので、キャラクタジェネレータ3によって各キャラクタに対応する印画イメージに展開し前記メインメモリ4のキャラクタメモリ空間に転送される。

【0028】ここで、例えば印画領域を2560ドット*3288ラインとしこの領域の中に640ドット*400ラインの中間調データである画像データと、階調を持たない2値のデータであるキャラクタデータが混在したデータを印画する場合には、前記メインメモリ4はキャラクタデータ格納用として1Byteで8ドットのデータを表現できるので、320*3288Byteのメモリ空間を必要とし、画像データ格納用としては1ドットを256階調、つまり8bitとするとYMC3色分

で640*400*3Byteのメモリ空間を必要とする。

【0029】アドレスセクタ5は前記メインメモリ4の書き込みアドレスおよび読みだしアドレスの選択を行い、通常CPUアクセス時にはCPUアドレスを選択しており、前記キャラクタコードバッファ1または前記画像受信バッファ2からメインメモリ4にDMAデータ転送する場合にはDMAアクセスコントローラ10のアドレスを選択し、印画データ制御回路11から出力されるDMAクロック20に応じてDMA転送アドレスを出力

する。

【0030】またデータ印画中のデータ読みだしは図2のようになっており、画像データのR、G、BとキャラクタデータのChがシリアルに読み出されるので、画像データ読みだしタイミングでは画像アドレスコントローラ7の出力を選択し、キャラクタデータ読みだしタイミングではキャラクタデータアドレスコントローラ9の出力を選択する。画像領域コントローラ6は印画アドレス21が画像印画領域である場合にのみ印画データ制御回路11が発生するデータ読みだしクロック22を画像ア

ドレスコントローラ7に与え、画像アドレスコントローラ7は前記画像領域コントローラ6によって制御されたデータ読みだしクロック20に応じて画像の読みだしアドレスの生成を行い、前記アドレスセクタ5に与える。

【0031】また、画像アドレスコントローラ7は画像データの拡大を行う場合には拡大率に応じたアドレスカウンタを行う。つまり画像データを2倍にする場合には印画データ読みだしクロック22が印画ドット2アドレス分で画像読みだしアドレスを1カウントアップする。キャラクタデータは1Byteで8ドット分のデータを表現するため、画像データを8byte読みだす間にキャラクタデータを1Byte読めば良いため、1/8クロック分周器8はデータ読みだしクロック22を1/8倍にする。キャラクタアドレスコントローラ9は前記1/8クロック分周器8から出力されるデータ読みだしクロック22に応じてキャラクタ読みだしアドレスを出力し、前記アドレスセクタ5に与える。

【0032】前記メインメモリ4は図3のような構成となっている。図3のように、中間調データである画像データと2値のイメージデータを格納するためR、G、B、Chの4つの空間に分かれており、上位アドレスを色で切り替える。印画時には前記印画データ制御回路11は、図2の様なデータ読みだしタイミングで画像データおよびキャラクタデータを読みだす。

【0033】図2のように、印画データ読みだしクロック20によって印画アドレス21は順にカウントアップし、画像データはRGBが同じアドレスで色空間が異なるだけであるから、色切り替えを順次行いながら前記データラッチ13に順にラッチされる。これに対しキャラクタデータは、上記のように印画アドレス8ドットに対し1Byteで良いためキャラクタリードアドレスは印画データ読みだしクロック20が8回で1アドレスカウントアップする。このため図2の如く同じキャラクタデータを8回読みだすことになる。

【0034】画像データは前記従来例のごとく、YMCデータの場合とRGBデータの場合があり、昇華型プリンタにおいてはYMCデータを階調に応じて順に印画し重ね合わせることでフルカラー表現を行うので、RGBデータの場合にはRGB輝度データをYMC濃度データに変換するために、図2のように256階調の中間調データを印画するためにはRデータとGデータ、Bデータの3Byteを読みだし、データラッチ13でデータを揃えて、前記画像データ補正回路14にて印画色のデータに変換する。また画像データの拡大補正も本回路で行い、その結果のYMC濃度データを印画エネルギーデータに変換する。

【0035】このように前記データラッチ13にラッチされた画像データは画像データ補正回路14において各種データ補正を行うため、データ補正時間が必要にな

10

20

30

40

50

る。そのため、前記データラッチ 13 にラッチしたキャラクタデータと前記画像データ補正回路 14 から出力される画像データとの時間遅れを前記データラッチ 16 にて吸収する。

【0036】また、前記アドレスラッチ 18 およびアドレスラッチ 19 は、絶対データアドレスすなわち前記印画データ制御回路 11 から出力される印画アドレス 21 をラッチしており、前記メインメモリからのデータ読みだし遅れおよび前記画像データ補正遅れを吸収し、前記ビットセクタ 17 のセレクトコントロール信号として印画アドレス 21 の下位 3 ビットを与え、図 2 のようにキャラクタデータ 8 bit 中の有効ビットを選択する。データセクタ 15 は前記ビットセクタ 17 において選択されたキャラクタデータビットが 1 である場合、つまりキャラクタデータがある場合には前記キャラクタ濃度レジスタ 12 に予め設定されたキャラクタ濃度エネルギーデータを選択し、キャラクタデータビットが 0 である場合には前記画像データ補正回路 14 から出力される画像エネルギーデータを選択する。

【0037】また、印画データとして画像データがなく、キャラクタデータのみである場合には、前記メインメモリ 4 は全部キャラクタメモリ空間とすることができ、1/8 クロック分周器 8 はデータ読みだしクロック 22 をスルーで出力し、印画データ生成時間を短くすることで画像データがある場合よりも高速で印画することができる。さらに、画像データ領域に複数項分のキャラクタメモリ容量を割り当てデータ受信を早期に完了することでホスト側の拘束時間を短くすることができる。

【0038】また、メインメモリ 4 は最大画像容量とキャラクタデータをイメージデータとして格納できる容量があれば良く、画像印画面積を印画領域全部とする必要がないので、最大画像サイズを規定することで少ないメモリ容量での印画が実現できる。

【0039】

【発明の効果】以上説明したように、本発明のデータ出力装置は、中間調データである画像データと 2 値データであるキャラクタデータとが混在したデータをメモリ上で合成することなしに出力することができる。

【0040】また、本発明のデータ出力装置は、印画データ読みだしクロックを画像領域によって制御する画像領域コントローラおよび画像アドレスコントローラと、画像データとキャラクタデータが混在する場合に印画デ

ータ読みだしクロックを 1/8 倍する 1/8 クロック分周器およびキャラクタアドレスコントローラを設けることで、データ形式の異なるキャラクタデータと画像データを同一のメインメモリに格納することができ、画像データの容量に応じてキャラクタデータと画像データの格納領域を変更し、少ないメモリ容量でキャラクタデータと画像データが混在したデータを出力することができる。

【0041】また、本発明のデータ出力装置は、画像データの補正遅れを吸収するデータラッチおよびアドレスラッチを設けることで、キャラクタデータを画像データと同じデータ形式とせず直接データ合成する事が可能となり、画像データのみに対して拡大処理等の補正を行うことができる。

【0042】また、本発明のデータ出力装置は、画像データがないときにはデータ生成時間を短くでき、キャラクタデータを複数項分持つことができるので、印画時間の短縮およびホスト側の拘束時間を短くすることができる。

【図面の簡単な説明】

【図 1】本発明の一実施例を示すブロック図である。

【図 2】図 1 における実施例のタイミング図である。

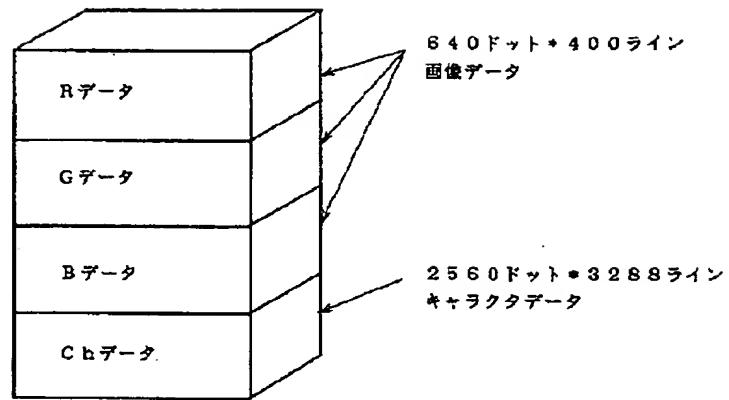
【図 3】図 1 における実施例のメモリ構成図である。

【図 4】従来の一実施例を示すブロック図である。

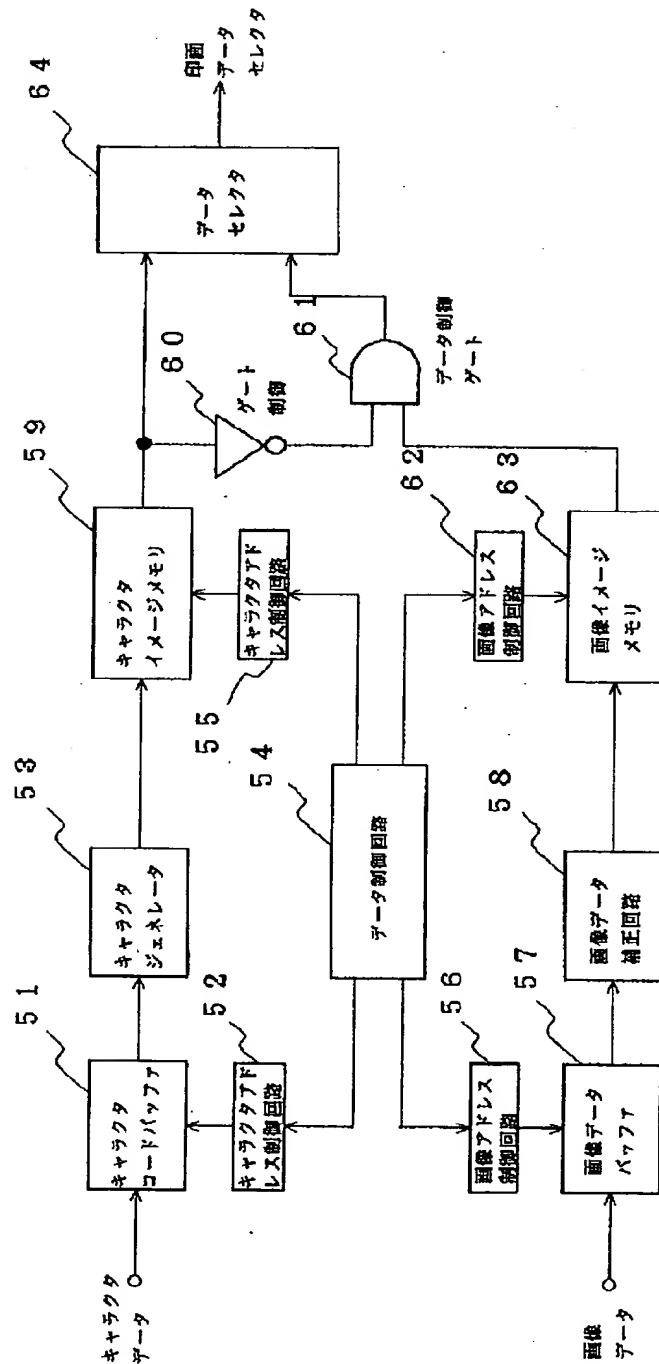
【符号の説明】

- 1 キャラクタコードバッファ
- 2 画像受信バッファ
- 3 キャラクタジュネレータ
- 4 メインメモリ
- 5 アドレスセクタ
- 6 画像領域コントローラ
- 7 画像アドレスコントローラ
- 8 1/8 クロック分周器
- 9 キャラクタアドレスコントローラ
- 10 DMA アクセスコントローラ
- 11 印画データ制御回路
- 12 キャラクタ濃度レジスタ
- 13, 16 データラッチ
- 14 画像データ補正回路
- 15 データセクタ
- 17 ビットセクタ
- 18, 19 アドレスラッチ

【図3】



【図4】



フロントページの続き

(51) Int. Cl.³
G 0 6 F 15/66

識別記号 庁内整理番号
4 5 0 8420-5L

F 1

技術表示箇所